

Versuch 3

Feldeffekt-Transistoren

1. Einleitung

In diesem Versuch sollen Sie sich mit einigen grundlegenden Anwendungen von Feldeffekt-Transistoren (FET) näher vertraut machen. In Abschnitt 2 wird die I-U-Charakteristik von FET mit dem Kennlinien-Messplatz untersucht, in Abschnitt 3 die einfachste Verstärkerschaltung mit einem FET eingeführt. Sie werden feststellen, dass die Arbeitspunkteinstellung für diese Bauelemente sehr einfach ist. FET werden häufig als spannungsgesteuerte Widerstände und Anpassglieder bzw. Abschwächer verwendet - das ist Gegenstand von Abschnitt 4 des Versuches. Schließlich werden Sie im Abschnitt 5 in die sogenannte CMOS(*Complementary Metal Oxide Semiconductor*) - Technik eingeführt.

Die FET haben den Bipolar-Transistoren sehr ähnliche Eigenschaften: auch sie sind aktive, nichtlineare Halbleiter- Bauelemente mit drei Anschlüssen. Wie Bipolar-Transistoren werden auch FET in verschiedenen Verstärkerschaltungen eingesetzt. Viele davon sind denen für Bipolar-Transistoren vergleichbar. Es gibt aber auch *gravierende* Unterschiede!

Zunächst wollen wir hervorheben, dass es eine wesentlich größere Typenvielfalt von FET gibt. Einen Überblick gibt Ihnen die folgende Abbildung (beachten Sie die Symbole):

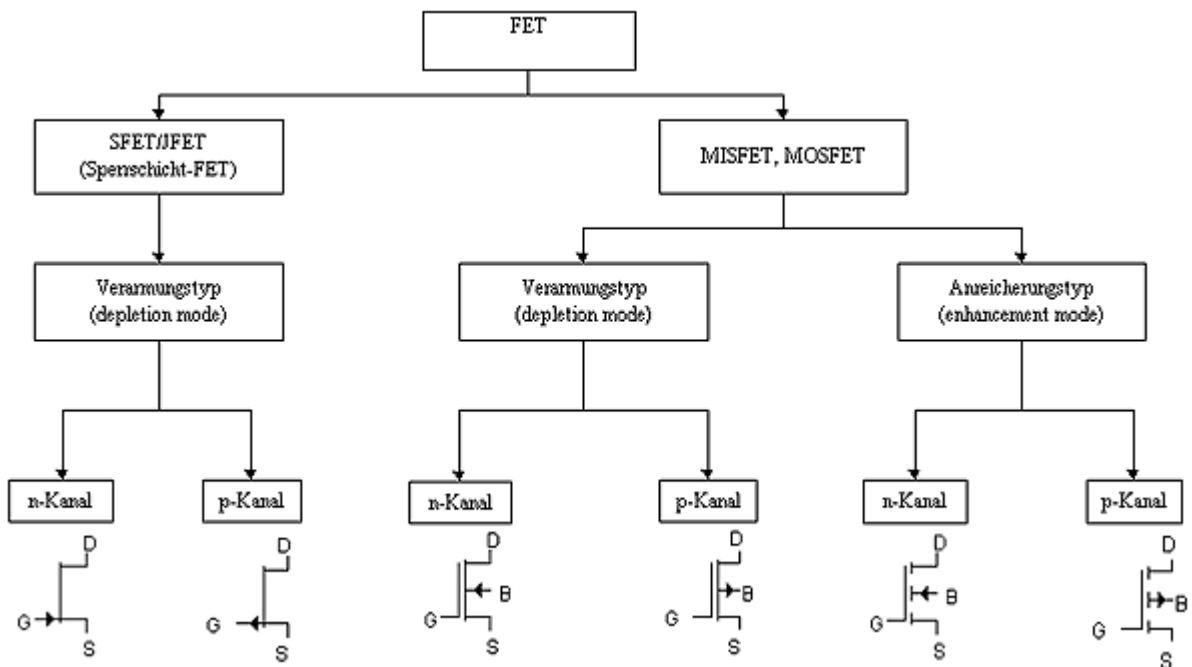


Abb.1 FET-Typen und Schaltsymbole

Wie schon bei den Bipolar-Transistoren gibt es auch hier verschiedene Gehäuseformen, von denen einige mit der Anschlussbelegung in der folgenden Abbildung gezeigt sind. Beachten Sie bitte, dass die Anschlussbelegung *typ- und herstellerabhängig* ist. Vor einem Schaltungsaufbau sollten Sie daher stets das zugehörige *Datenblatt* einsehen.

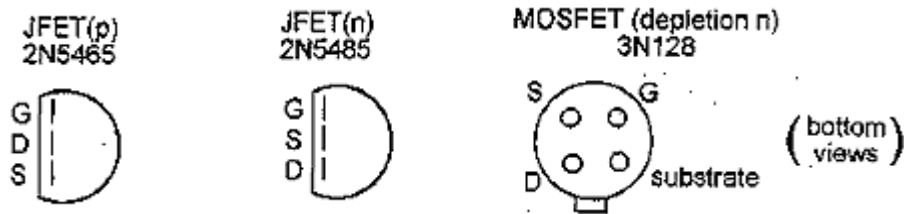


Abb.2 Gehäuseformen und Anschlussbelegungen von FET

FET unterscheiden sich grundsätzlich von Bipolar-Transistoren in der Bauelementestruktur. Der Stromfluss erfolgt in einem dotierten (n- oder p-Typ) halbleitenden Kanal (*channel*), der die sogenannten *Drain-* bzw. *Source-* Gebiete (deutsch: Senke

bzw. Quelle) des FET miteinander verbindet. Eine Spannung am *Gate* (Tor) steuert die Weite dieses Kanals und damit den Stromfluss.

Bei *Junction* FET (JFET, Sperrschicht-FET) ist der Übergang zwischen Kanal und Gate in *Sperrrichtung* vorgespannt. In den MOSFET- Bauelementen ist das Gate elektrisch völlig *isoliert* vom Leitungskanal des FET: die Gate-Metall-Elektrode wird auf einer Oxidschicht (Isolator) über dem Kanal aufgebracht.

Eine weitere Unterscheidung ist abhängig vom verwendeten Kanaltyp: In *Anreicherungs*-FET ist der Leitungskanal unterbrochen, solange keine hinreichende Gate-Spannung anliegt. Im *Verarmungs*-FET ist der Kanal leitend, solange er nicht durch eine genügend große Gate-Spannung abgeschnürt wird.

Der wichtigste Unterschied zwischen FET und Bipolar-Transistoren besteht im physikalischen Arbeitsprinzip:

- Ein FET ist ein *spannungsgesteuertes* Bauelement - in Sperrschicht- bzw. JFET fließt ein ganz kleiner Strom durch den (in Sperrrichtung gepolten) Gate-Kanal-Übergang, während in MOSFET faktisch gar kein Gleichstrom durch das rein kapazitiv gekoppelte Gate fließt. Die *Spannung* zwischen Gate und Source steuert die Leitfähigkeit des Drain- Source-Leitungskanals.
- Erinnern Sie sich daran, dass ein Bipolar-Transistor *stromgesteuert* arbeitet und eine geringe Eingangsimpedanz hat (die der Basis-Emitter-Diode in Durchlaßrichtung)!

Diese Tatsache hat große Auswirkungen auf die Anwendung von FET und die äußere Beschaltung dieser Bauelemente.

Beachten Sie bitte bei allen Aufgaben (wie immer):

- Entwerfen Sie zunächst Ihre Schaltung (Auswahl der Komponenten) theoretisch! Unter Anwendung von EWB analysieren Sie dann Ihre Schaltung und dimensionieren die verwendeten Bauelemente! Erst dann bauen Sie wirklich die Schaltung auf und untersuchen diese!
- Beachten Sie bitte stets die in den Datenblättern angegebenen Grenzwerte für Bauelementeparameter (besonders Spannungen und Ströme) und die Anschlussbelegungen, um Zerstörungen zu vermeiden. Dies gilt vor allem für die Aufgabe 2.

Für die Schaltungen aus den Abschnitten 3 und 4 vergleichen Sie bitte Ihre Messresultate mit den Simulationsergebnissen aus EWB! Geben Sie Erklärungen für die Unterschiede!

2. *I-U-Kennlinien*

Untersuchen Sie die I-U-Charakteristiken der Sperrschicht- bzw. JFET vom Typ 2N5462 (p-Kanal-JFET) und BF245C (n-Kanal-JFET)!

- ***Ausgangskennlinien***

Verwenden Sie den Kennlinien-Messplatz, um für beide FET eine Schar von Abhängigkeiten des Drain-Stromes I_D von der Drain-Source-Spannung U_{DS} für verschiedene Gate-Source-Spannungen U_{GS} als Parameter zu erzeugen! Identifizieren und kennzeichnen Sie in der Grafik jeweils den (aktiven) Sättigungsbereich und den linearen Arbeitsbereich der beiden FET!

- ***Übertragungskennlinien***

Aus den Ausgangskennlinien beider FET erzeugen Sie eine Darstellung der Abhängigkeit U_{GS} (I_D) bei einer fixierten Drain-Source-Spannung U_{DS} im Sättigungsbereich! Bestimmen Sie die Schwellspannung U_T ! Überprüfen Sie, ob der Drainstrom I_D für Spannungen $U_{GS} > U_T$ eine Abhängigkeit der Form $I_D \sim (U_{GS} - U_T)^2$ zeigt!

3. Der Source-Folger

Der Source-Folger ist analog der Emitterfolger-Schaltung für Bipolar-Transistoren aufgebaut. Die Spannungsverstärkung ist stets kleiner als 1 (Abschwächung), aber Strom und Leistung werden beträchtlich verstärkt. Die Eingangsimpedanz ist sehr hoch (~1 MΩ). Dadurch ist diese Schaltung ideal für Anwendungen, bei denen eine Isolation und Pufferung erforderlich ist (z.B. Impedanzwandler). Sie ist vorteilhaft, wenn hohe Eingangsimpedanzen erforderlich sind, wie z.B. bei Anschluss von Kondensatormikrofonen als Signalquelle. Der moderat hohe Ausgangswiderstand ist zwar häufig nicht günstig, dieser scheinbare Nachteil kann aber leicht überwunden werden (z.B. durch Einsatz einer weiteren Verstärkerstufe mit einem Bipolar-Transistor).

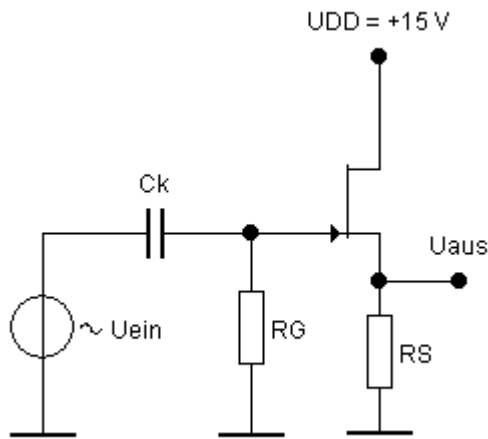


Abb.3 Source-Folger mit n-Kanal-JFET

Bauen Sie einen Source-Folger wie in Abb.3 auf: Benutzen Sie dafür den vorher ausgemessenen n-Kanal-JFET BF245C! Untersuchen Sie dabei das Verhalten für verschiedene Source-Widerstände R_S ! Messen Sie den DC-Arbeitspunkt am Source-Anschluß und die Wechsellspannungsverstärkung aus! Vergleichen Sie diese Messresultate mit den Berechnungen aus den gemessenen Kennlinien (Aufgabe 2)! Beachten Sie, dass Sie dazu Parameterwerte des JFET verwenden müssen, die dem *tatsächlich* eingestellten Arbeitspunkt entsprechen! Wie sind diese Ergebnisse mit der Simulation (EWB) vergleichbar?

4. Spannungsgesteuerte Widerstände

Für kleine Drain-Source-Spannungen U_{DS} verhält sich ein FET wie ein Widerstand, dessen Betrag abhängig von der Spannungsdifferenz $U_{GS}-U_T$ zwischen der Gate-Source-Spannung und der Schwellspannung ist. Diese Eigenschaft legt eine praktische Anwendung für spannungsgesteuerte Widerstände nahe.

Bauen Sie die in Abb.4 dargestellte Schaltung auf! Der Kanalwiderstand des JFET kann durch Anlegen einer Gleichspannung am Gate-Anschluß gezielt variiert werden.

Messen Sie nun den Kanalwiderstand als Funktion der Gate-Source-Spannung U_{GS} im Bereich von -5 bis 0 V mit fixierter Drain-Source-Spannung $U_{DS} = 1\text{ V}$ durch Variation der Gate-Spannung U_{GS} und des (äußeren) Drain-Widerstandes! Der minimale Kanalwiderstand (bezeichnet mit R_{ON}) kann bei einigen FET kleiner als 100 Ω sein: Messen Sie diesen Minimalwert für den JFET BF245C!

Der Kanalwiderstand des FET ist leicht nichtlinear, da er schwach von der Drain-Source-Spannung V_{DS} abhängt. Diese Nichtlinearität verursacht Verzerrungen. Um diesen Effekt zu beobachten, bauen Sie den steuerbaren Spannungsteiler in Abb.5 auf.

Messen Sie die Abschwächung eines Sinus-Signals mit $U_{SS} = 1\text{ V}$ (Spitze-Spitze)! Zunächst realisieren Sie die Grundsaltung ohne die in Abb.5 eingezeichneten 100 kΩ - Widerstände: Bestimmen Sie Spannungsabschwächung und Signalform bei Variation der Gleichspannung am Gate im Bereich von -5 bis 0 V!

Fügen Sie nun die beiden 100 kΩ - Widerstände hinzu: Untersuchen Sie, ob diese schaltungstechnische Maßnahme die Verzerrungen verringert! Erklären Sie, was die beiden zusätzlichen Widerstände bewirken!

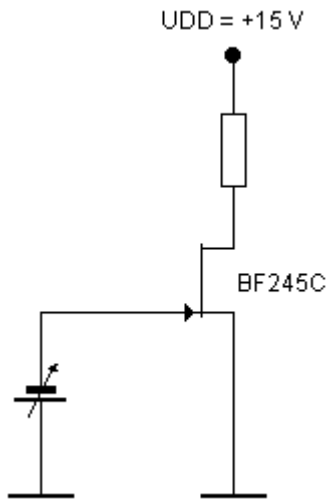


Abb.4 Spannungsgesteuerter Widerstand mit JFET

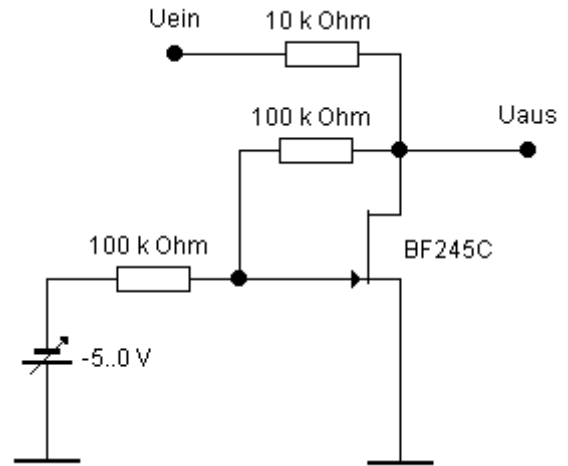


Abb.5 Steuerbarer Spannungsteiler

5. Einführung in die CMOS-Logik

Die CMOS-Schaltkreistechnik wird häufig als die quasi „perfekte“ Technik in der Familie digitaler Logikschaltkreise angesehen. CMOS-Schaltkreise haben einen extrem niedrigen Leistungsverbrauch und verfügen über akzeptable Arbeitsgeschwindigkeit und hohe Rauschunempfindlichkeit.

Wir betrachten das grundlegende Gatter digitaler Logik - das NAND-Gatter. Alle anderen logischen Gatter lassen sich daraus leicht erzeugen. Der digitale CMOS- Schaltkreis CD4011 integriert insgesamt 4 NAND- Gatter in einem DIL-Gehäuse, dessen Anschlussbelegung in Abb.6 gezeigt ist.

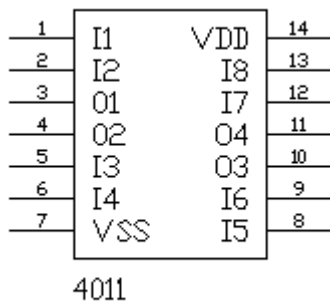


Abb.6 Anschlussbelegung des 4fach NAND-Gatters CD4011

CMOS-Schaltkreise arbeiten mit einer Betriebsspannung U_{DD} zwischen 3 und 15 V. Beschalten und nutzen Sie für den Versuch nur *ein einzelnes* NAND-Gatter als Inverter. Schließen Sie unbedingt den Anschluss U_{SS} und alle unbenutzten Eingänge gegen die Masse kurz! Warum ist diese Maßnahme angebracht?

- Legen Sie jetzt eine Eingangsspannung an den Inverter an und variieren Sie diese zwischen 0 und der Höhe der Betriebsspannung U_{DD} ! Nehmen Sie die Abhängigkeit der Ausgangs- von der Eingangsspannung auf und stellen Sie das Ergebnis grafisch dar!
- Als nächstes: Legen Sie alle möglichen Eingangspegel an die NAND-Eingänge an und überprüfen Sie die logische Wahrheits-Tabelle!
- Verwenden Sie NAND-Gatter, um ein OR-Gatter herzustellen und überprüfen Sie dessen Wahrheitstabelle ebenfalls!
- Abschließend: Zeichnen Sie die (vollständige) Schaltung eines CMOS-NAND-Gatters auf und erklären Sie die Wirkungsweise!