

1. Einführung

Im Unterschied zu analogen oder linearen Schaltungen sind logische Schaltungen zur Übertragung zweier bestimmter Signalzustände vorgesehen: "High" (H) oder logisch "EINS" (1) und "LOW" (L) oder logisch "NULL" (0). Den Sachverhalt zeigt Abb. 1.

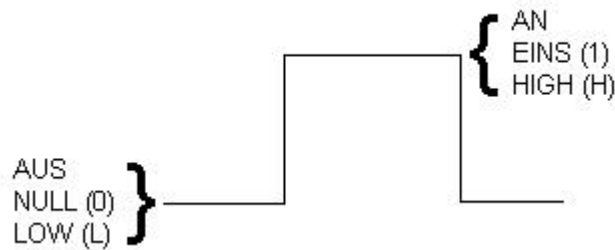
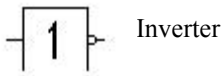


Abb.1 Logik-Signal

Die den beiden Zuständen zugeordneten Signalpegel sind vom Typ der verwendeten Schaltung abhängig. Wie wir noch feststellen werden, sind sie (leider) von der Art der kommerziell erhältlichen Logik-Schaltkreise verschiedener Familien abhängig. Die Zuordnung der logischen Zustände ist im Prinzip willkürlich, wir werden jedoch stets der üblichen Konvention folgen. In diesem Sinne ist die "positivere" Spannung oder "HIGH" dem Logikzustand "EINS" und die "negativere" Spannung oder "LOW" dem Logikzustand "NULL" zugewiesen, d.h. wir verwenden positive Logik. Um Ihnen im Weiteren die Übersicht der z.T. komplexen Schaltungen zu erleichtern, sind hier auch nochmals die logischen Grundfunktionen mit den entsprechenden Schaltsymbolen für die Gatter aufgeführt:



Beachten Sie, daß es auch Gatter mit mehr als 2 Eingängen gibt. Gemäß der üblichen Konvention bezeichnen wir mit A_i , B_i , C_i .. die Eingänge und mit Y_i den Ausgang des i . Gatters - Sie werden diese Bezeichnungsweise bei der Pinbelegung integrierter Schaltkreise wiederfinden.

2. Diskrete Logikschaltungen

Um Ihnen ein Grundverständnis für die Schaltungstechnik und Wirkungsweise digitaler Schaltungen zu vermitteln, sollen zunächst einfache Logik-Gatter diskret (d.h. aus einzelnen Bauelementen) realisiert werden. Für diese relativ einfachen Schaltungen können und sollen Sie auch die bereits früher eingesetzte Simulationssoftware Electronics Workbench nutzen: Simulieren und verifizieren Sie damit die in diesem Abschnitt verwendeten Schaltungen! Vergleichen Sie die experimentellen Ergebnisse mit der Simulation!

A. Dioden-Gatter

Bauen Sie aus Dioden: (a) ein OR-Gatter und (b) ein AND-Gatter auf, wie sie in Abb. 2 gezeigt sind. Setzen Sie vernünftige Pegel für beide logische Zustände fest und definieren Sie dabei auch die jeweiligen Grenzen dafür.

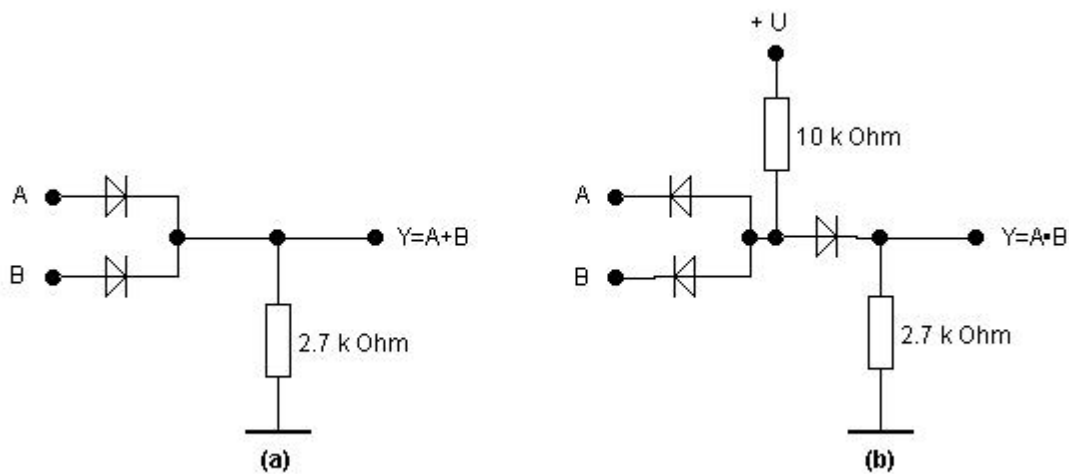


Abb. 2 Diskret aufgebaute Diodengatter: (a) OR und (b) AND

Stellen Sie die Wahrheitstabellen für beide Schaltungen auf und prüfen Sie sie experimentell. Überlegen Sie sich, worin die Vor- und Nachteile einfacher Diodenlogik bestehen: Notieren Sie das auch im Protokoll.

Bisher haben Sie diese Schaltungen statisch (d.h. mit Gleichspannungen) betrieben. Speisen Sie nun ein Rechtecksignal (TTL-kompatibel, d.h. zwischen 0 und +5 V) in einen Eingang ein und legen Sie den anderen statisch fest: Untersuchen Sie die Form des Ausgangssignals für verschiedene Frequenzen! Welche Veränderungen stellen Sie fest? Erklären Sie diese Ergebnisse und leiten Sie daraus Schlußfolgerungen ab!

B. Transistor-Gatter

Bauen Sie die beiden in Abb. 3 gezeigten Transistorgatter auf. Nehmen Sie für beide die Übertragungsfunktion $U_{\text{aus}} = f(U_{\text{ein}})$ auf - für Eingangsspannungen zwischen 0 und +5 V! Stellen Sie das Ergebnis grafisch dar! Welche logischen Funktionen realisieren diese beiden Transistorgatter?

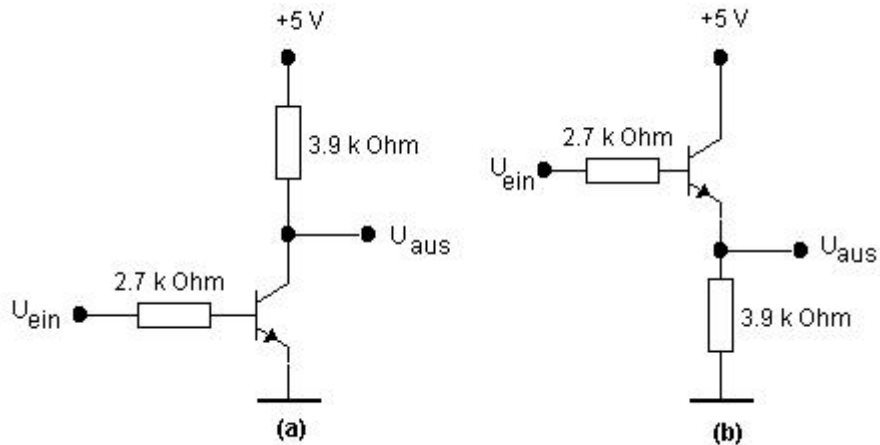


Abb. 3 Diskret aufgebaute Transistorgatter

Bisher haben Sie diese Schaltungen statisch (d.h. mit Gleichspannungen) betrieben. Speisen Sie nun ein Rechtecksignal (TTL-kompatibel, d.h. zwischen 0 und +5 V) ein: Untersuchen Sie die Form des Ausgangssignals für verschiedene Frequenzen! Welche Veränderungen stellen Sie fest? Erklären Sie diese Ergebnisse und leiten Sie daraus Schlußfolgerungen ab! Vergleichen Sie das mit den Ergebnissen für die Diodengatter!
 Durch Variation der Schaltung in Abb. 3(a) kann ein NOR-Gatter mit zwei Eingängen aufgebaut werden: Realisieren Sie diese Schaltungsvariante! Untersuchen Sie die Ausgangsspannung für den Fall, daß ein Eingang auf Masse liegt und der andere mit Spannungen zwischen 0 und +5 V gespeist wird! Notieren Sie die entsprechende Wahrheitstabelle!

C. Dioden-Transistor-Logik

Das grundlegende Gatter (NAND) der Dioden-Transistor-Logik (DTL) ist in Abb. 4 gezeigt. Bauen Sie die Schaltung auf!

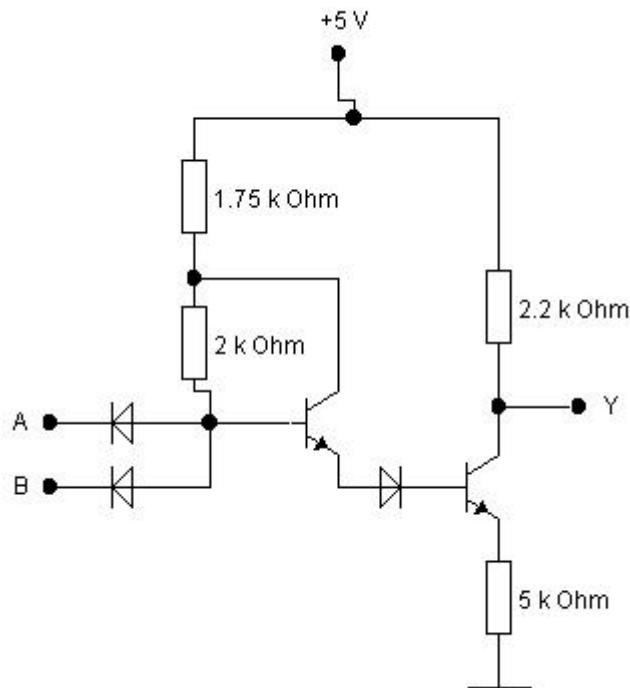


Abb. 4 Diskretes DTL-NOR-Gatter

Untersuchen Sie das Verhalten dieser Schaltung!

- Welche Ausgangspegel haben die logischen Zustände 0 und 1?
- Bei welcher Eingangsspannung erfolgt der Übergang zwischen beiden Zuständen?
- Nehmen Sie die Übertragungsfunktion auf und stellen Sie sie dar!

3. TTL-Schaltkreise

In diesem Versuchsteil werden wir verschiedene integrierte Schaltkreise (IS) der Transistor-Transistor-Logik- (TTL-) Familie benutzen. Beachten Sie bitte die entsprechenden Datenblätter (Grenzwerte für Betriebsgrößen, Pin-Belegungen u.s.w.) bei Ihrer Arbeit. Verwenden Sie immer eine stabilisierte Betriebsspannung von +5 V (i.a. als VCC bezeichnet) und achten Sie auf eine korrekte Masse-Verbindung (GND)! Zur Überprüfung der Logik-Pegel verwenden Sie die vorhandenen Meßmittel (Multimeter, Oszillograph).

A. TTL-NAND- und TTL-NOR- Gatter

Realisieren Sie die logische AND-Funktion unter Verwendung des TTL-IS 7400 (Quad-NAND) und prüfen Sie die zugehörige Wahrheitstabelle!

Bauen Sie mit zwei NAND-Gattern des IS 7400 ein exklusives OR- (XOR-) Gatter auf und testen Sie die Wahrheitstabelle!

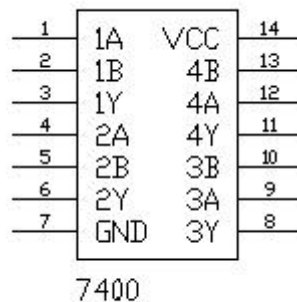


Abb. 5 Pinbelegung des IS 7400 (Quad-NAND-Gatter mit je zwei Eingängen)

B. Addierer

Bauen Sie aus AND- (IS 7408) und XOR- (IS 7486) Gattern (s. Abb. 6) einen sog. Halbaddierer gemäß Abb. 7 auf! Notieren Sie die zugehörige Wahrheitstabelle und prüfen Sie sie experimentell nach!

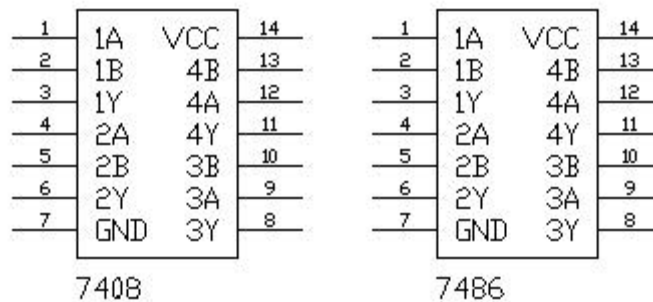


Abb. 6 Pinbelegungen der IS 7408 (Quad-AND-Gatter mit je zwei Eingängen) und 7486 (Quad-XOR-Gatter mit je zwei Eingängen)

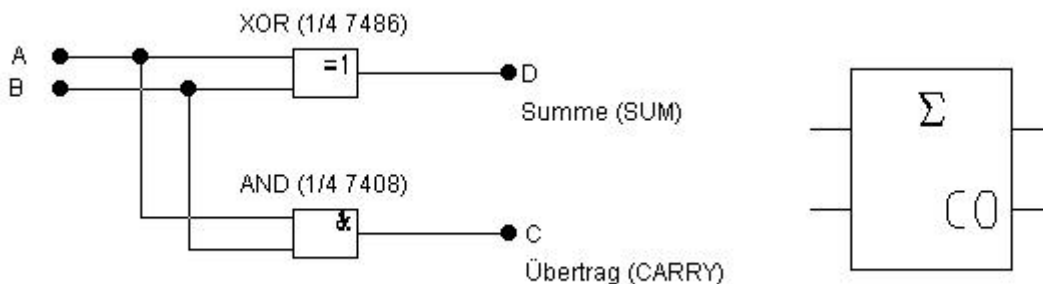


Abb. 7 Schaltung eines einfachen Halbaddierers und sein Symbol

Bisher haben wir reine Kombinationsschaltungen der digitalen Logik untersucht, bei denen das Ausgangssignal vollständig durch die festgelegten Zustände an den Eingängen definiert ist. Ein "Speichereffekt" trat bisher nicht auf. Verfügt man jedoch über Speicherschaltungen, so lassen sich viele zusätzliche Funktionen und Anwendungen realisieren, wie z.B. Zähler, Frequenzteiler u.s.w.

Das Grundelement von Speicherschaltungen ist der sog. *Flip-Flop*. Manchmal verwendet man auch den Begriff der bistabilen Kippschaltung, d.h. der Flip-Flop hat zwei stabile Zustände. Sie werden nachfolgend die wichtigsten Arten von Flip-Flop kennenlernen und realisieren.

C. RS-Flip-Flop (set-reset-Flip-Flop)

Bauen Sie aus zwei NAND-Gattern des IS 7400 einen RS-Flip-Flop gemäß Abb. 8 auf! Bestimmen Sie seine Wahrheitstabelle zunächst anhand eigener Überlegung, danach prüfen Sie experimentell nach! Ist es möglich, daß beide Ausgänge denselben logischen Zustand haben? Eine bestimmte Kombination von R (reset) und S (set) realisiert eine Speicherfunktion - welche?

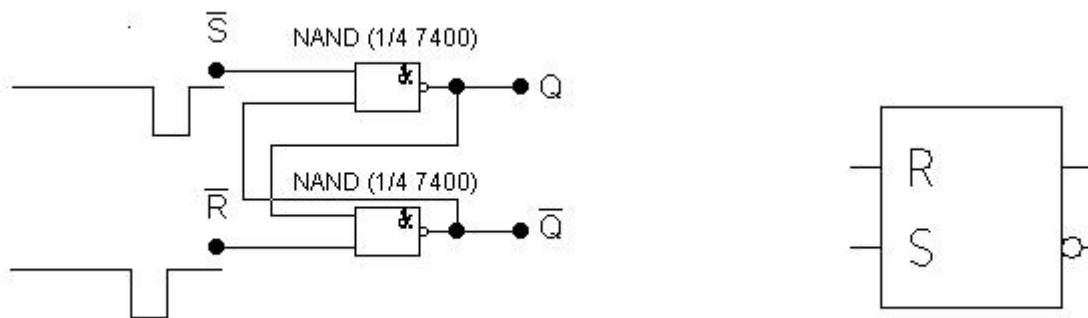


Abb. 8 RS-Flip-Flop und seine Symboldarstellung

Gerade bei komplexeren digitalen Schaltungen ist eine detaillierte Darstellung mit den einzelnen Gattern viel zu unübersichtlich, so daß man sich besser einer symbolischen Darstellung bedient, wie sie hier und im Weiteren auch gezeigt ist.

Entprellung eines Kontaktes bzw. Pulsgenerator: Häufig benötigt man einen Impulsgenerator, um manuell ein sauberes logisches H- oder L- Signal zu erzeugen. Ein mechanischer Schalter ist für diese Zwecke völlig ungeeignet, da seine Kontakte prellen. Dieses Problem läßt sich sehr elegant mit Hilfe eines RS-Flip-Flop lösen, wie es in Abb. 9 gezeigt ist.

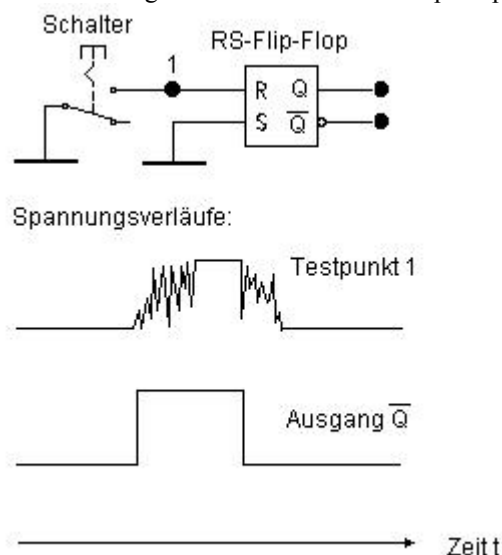


Abb. 9 Kontaktemprellung mit RS-Flip-Flop (Spannungsverläufe schematisch)

D. D-Flip-Flop oder Signalspeicher (latch)

Der RS-Flip-Flop kann als 1-Bit-Speicherschaltung dienen, wenn er eine geeignete Eingangsbeschaltung erhält. Zur Eingabe der Daten muß einer der Eingänge auf LOW liegen, während zur Speicherung (Halten der Information) beide Eingänge auf HIGH gehalten werden müssen. Die als D-Flip-Flop (D: data) oder Signalspeicher (latch) bezeichneten

Schaltungen in Abb. 10 sind zwei mögliche Lösungen dafür. Sie verfügen über einen Dateneingang D (data) und einen Takteingang Ck (clock). Versuchen Sie, beide Schaltungen zu verstehen.

(a) Zeigen Sie mit Hilfe der Booleschen Algebra ihre Äquivalenz!

(b) Welche Wirkung hat D auf den Ausgang, wenn der Takteingang Ck auf 0 bzw. 1 geht? Zu welchem Zeitpunkt wird die Information (Daten) in den RS-Flip-Flop "geschrieben" (d.h. bei welcher Signalflanke von Ck: beim Übergang 0->1 oder bei 1->0)?

Bauen Sie die Variante (b) zur experimentellen Untersuchung auf! Untersuchen Sie die Funktion!

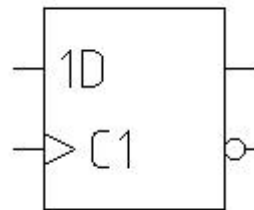
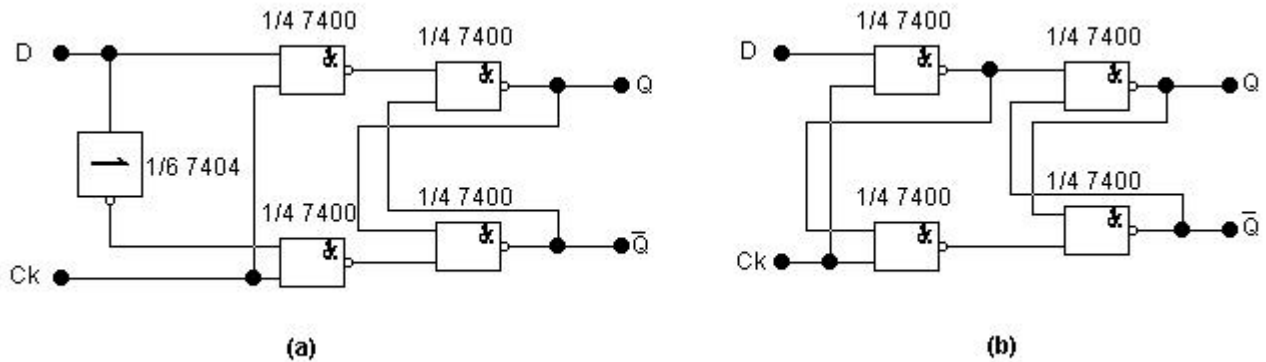
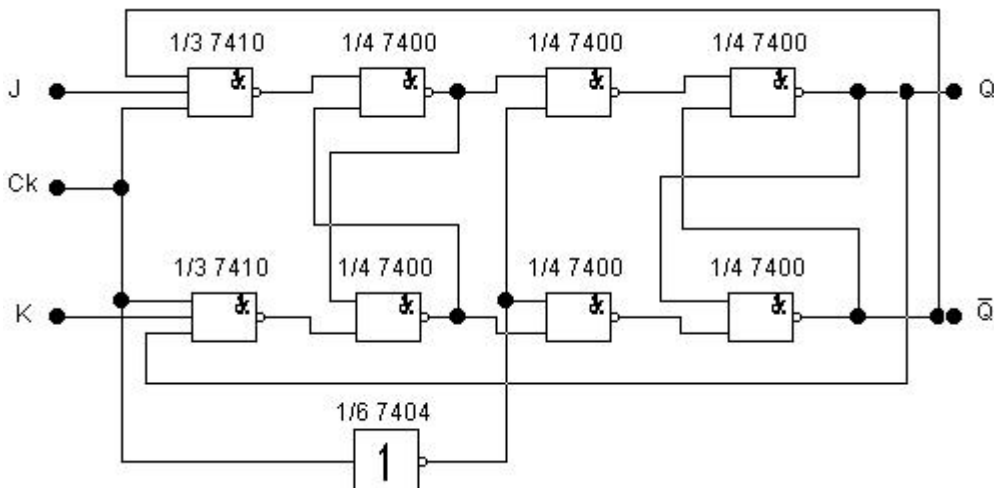


Abb.10 Zwei Schaltungsvarianten für D-Flip-Flop (a,b) und Symboldarstellung

E. JK-Flip-Flop

Auf den ersten Blick sieht ein JK-Flip-Flop (s. Abb. 11) dem D-Flip-Flop ähnlich, wie dieser hat er einen Takteingang. Allerdings hat diese Schaltung nunmehr zwei Dateneingänge: J und K.



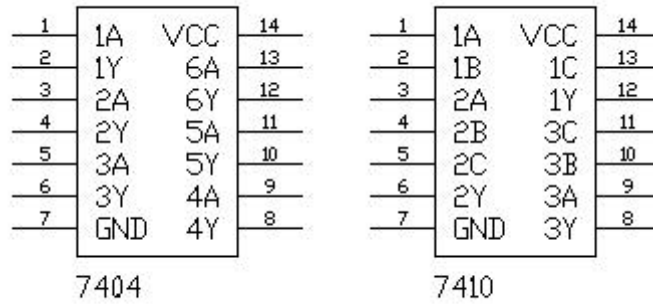


Abb. 11 JK-Flip-Flop aus einzelnen TTL-Gattern

Bauen Sie die Schaltung auf! Prüfen Sie die Wahrheitstabelle für die verschiedenen Zustände der Eingänge J und K nach! Verwenden Sie die bereits weiter oben gezeigte Schaltung zur Entprellung, um den Taktimpuls an Ck zu liefern! Wie sie sicher bereits vermuten, existieren natürlich auch entsprechende kommerzielle IS, die diese Funktion bereits integriert haben. Ein Beispiel zeigt Ihnen die folgende Abb. 12, die auch das Symbol für einen JK-Flip-Flop enthält. Zusätzlich zu den bereits genannten gibt es hier S(set)- bzw. Pr(present)- und R(reset)- bzw. Cr(clear)- Anschlüsse. Damit kann der Flip-Flop gesetzt oder "gelöscht" werden.

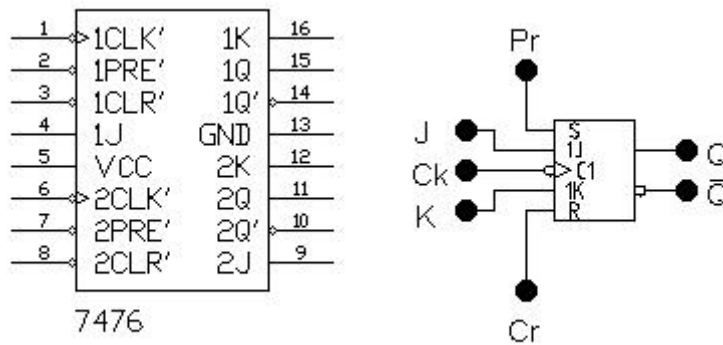


Abb. 12 IS 7476 mit zwei JK-Flip-Flop und Symbol für JK-Flip-Flop

Prüfen Sie die Funktionsweise eines im IS 7476 integrierten JK-Flip-Flop nach und untersuchen Sie auch die Funktionen von R und S!

Für $J=K=HIGH$ spricht man von Schaltverhalten (toggling), d.h. jeder Taktimpuls invertiert jeweils den Zustand der beiden Ausgänge. Diese Funktion ist die Grundlage für die meisten Binär-Zähler. Legen Sie an Ck einen TTL-Takt an und prüfen Sie mit dem Oszillographen nach, bei welcher Signalflanke (ansteigender oder abfallender) des Taktes Ck sich der Ausgangszustand von Q und Q' ändert! Welche Frequenz haben die Ausgangssignale, verglichen mit dem Taktsignal an Ck? Welche Funktion läßt sich damit realisieren?

Wie ändert sich das Signal an Q, wenn Sie J und/oder K bei $Ck=HIGH$ ändern ($J=0 \rightarrow 1 \rightarrow 0$, $K=0 \rightarrow 0 \rightarrow 0$)? Was geschieht, wenn Sie $S=LOW$, $R=HIGH$ und $J=K=HIGH$ setzen - zeigt sich dann Schaltverhalten?

F. Binärzähler

Durch Kaskadierung mehrerer Flip-Flop ist es möglich, einen Binärzähler bzw. Teiler ($1/2^n$) aufzubauen. Realisieren Sie aus zwei IS 7476 einen Binärzähler (4-bit) bzw. 1/16-Teiler gemäß der Abb. 13!

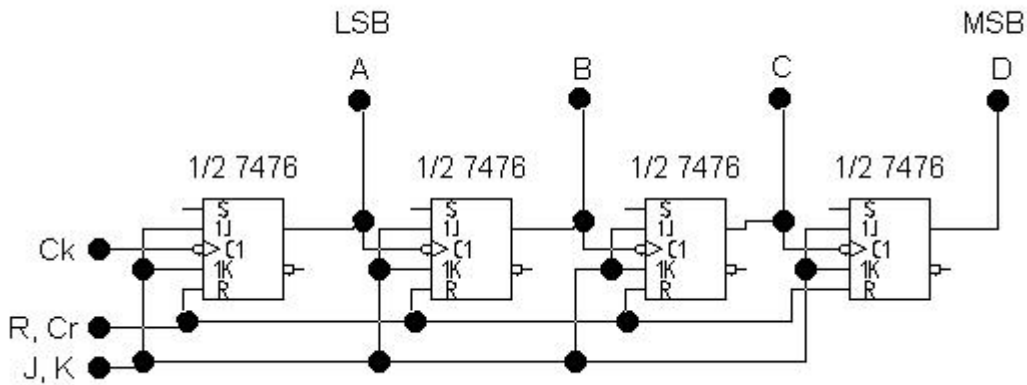


Abb. 13 4-Bit-Binärzähler

Die Eingänge J und K müssen auf HIGH gesetzt werden, der Takt wird in Ck eingespeist. Der Zähler kann mit R bzw. Cr rückgesetzt bzw. gelöscht werden - prüfen Sie das im Versuch nach!

Verifizieren Sie die Funktion des Binärzählers: Speisen Sie in Ck einen TTL-Takt. Legen Sie das Taktsignal an den ersten und (nacheinander folgerichtig) die Signale der Ausgänge A, B, C, D an den zweiten y-Eingang des Oszillographen an - skizzieren Sie schematisch alle zeitlichen Signalverläufe in einem Zeitdiagramm, so daß die einzelnen Verläufe zeitlich untereinander korreliert ersichtlich sind. Erklären Sie das Ergebnis: Warum handelt es sich hier um einen Zähler? Welche Größe kann die Zahl maximal erreichen? Ist der Zähler auch mit D-Flip-Flop möglich?

G. Ring-Oszillator

Mit der IS 7404 läßt sich sehr einfach ein Oszillator aufbauen, der häufig benötigt wird - ein Ringoszillator. Dazu kaskadieren wir fünf Inverter:

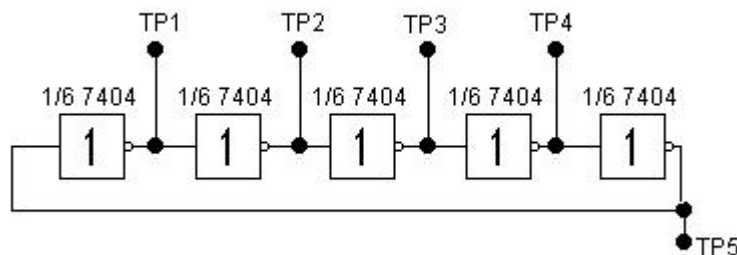


Abb. 14 Ring-Oszillator

Bauen Sie die Schaltung auf:

(a) Oszillographieren und skizzieren Sie mit zeitlicher Zuordnung untereinander die Signalverläufe an den fünf Testpunkten TP!

(b) Bestimmen Sie die Frequenz! Wovon hängt Sie ab?

(c) Versuchen Sie jetzt die Schaltung mit allen 6 Invertern der IS7404: Was beobachten Sie jetzt? Erklären Sie das Ergebnis!

4. CMOS-Logik-Schaltkreise

Sie haben schon mit zwei Vertretern dieser Schaltkreisfamilie gearbeitet, dem CD4011 (Quad-NAND mit je 2 Eingängen) und dem CD4066 (Quad-Bilateralschalter). Sie wissen daher bereits: MOSFET haben eine sehr hohe Eingangsimpedanz (typisch $10^{12} \Omega$) und können durch zu große Gate-Spannungen leicht zerstört werden (Isolatordurchschlag). Beachten Sie daher die bekannten Regeln!

Die Forderung $V_{SS} < V_I < V_{DD}$ ist buchstäblich zu nehmen, d.h. VDD darf nie abgeschaltet werden, wenn ein positives Eingangssignal V_I anliegt! Verbinden Sie immer die unbenutzten Eingänge mit VDD (oder VSS). Um unbeabsichtigte kapazitive Einkopplungen von Störungen zu vermeiden, verbinden Sie die Masseleitung immer mit $V_{SS} = 0 \text{ V}$.

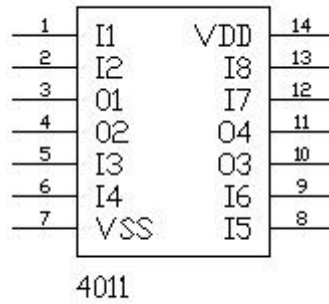


Abb. 15 Pinbelegung des 4011 (CMOS-Quad-NAND-Gatter mit je 2 Eingängen)

Mit dem Ziel des Vergleichs mit TTL-Schaltkreisen soll der CD4011 näher untersucht werden:

A. Statisches Verhalten

- (a) Messen Sie die Übertragungscharakteristik an einem NAND-Gatter des 4011 $U_{\text{aus}} = f(U_{\text{ein}})$ für die drei Betriebsspannungen $VDD = 3\text{ V}, 5\text{ V}, 10\text{ V}$ aus und stellen Sie das Ergebnis grafisch dar!
- (b) Wie sind die logischen Pegel LOW und HIGH für die verschiedenen Betriebsspannungen VDD definiert?

B. Dynamisches Verhalten

Untersuchen Sie zunächst die Schaltgeschwindigkeit eines CMOS-NAND-Gatters: Legen Sie ein Rechtecksignal an einen Eingang an und beobachten Sie das Ausgangssignal des Gatters mit dem Oszillographen! Variieren Sie die Frequenz! Was stellen Sie fest?
 Schalten Sie auch mehrere NAND-Gatter hintereinander und verfolgen Sie das Signal mit dem Oszillographen nach jedem einzelnen Gatter! Was können Sie hier beobachten? Beeinflußt die Kapazität der Tastspitze die Anstiegs- bzw. Abfall-Zeit des Signals? (Haben Sie die Teilung 1:10 bzw. die kompensierte Tastspitze verwendet?) Erklären Sie Ihre Beobachtungen!

C. Kopplung von TTL- und CMOS-Logik

- (a) Sind die Logikpegel und Ströme der TTL geeignet, um ein CMOS-Gatter mit $VDD = 5\text{ V}$ anzusteuern?
- (b) Ist in umgekehrter Richtung (CMOS-Logik zur Ansteuerung von TTL-Gattern) eine Kompatibilität gegeben?
- (c) Welche Schnittstelle ist erforderlich?